

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-330469

(43)Date of publication of application : 13.12.1996

(51)Int.Cl.

H01L 23/12
H01L 21/60

(21)Application number : 07-130922

(71)Applicant : HITACHI LTD

(22)Date of filing : 30.05.1995

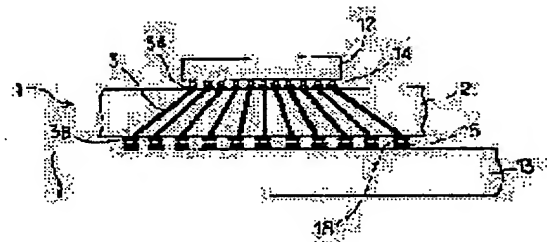
(72)Inventor : KIKUCHI HIROSHI
SATO TOSHIHIKO

(54) WIRING BOARD FOR SEMICONDUCTOR DEVICE, AND ITS MANUFACTURE

(57)Abstract:

PURPOSE: To provide a technique which can connect each electrode accurately to a corresponding conductive terminal, in case of drawing out a plurality of electrodes made at small pitches at a semiconductor chip.

CONSTITUTION: A wiring board 1 is prepared in which conductive terminals 38 are made at the other main surface at pitches larger than the pitches of conductive terminals 3A made at one main surface. A semiconductor chip 12 is mounted, connecting the conductive terminals 38 at large pitches to the corresponding conductive terminals 15. Hereby, in case of drawing out a plurality of electrodes 14 made at small pitches at a semiconductor chip 12, they can be drawn out at enlarged pitches, so each electrode 14 can be connected accurately to corresponding conductive terminals 15.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

BEST AVAILABLE COPY

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平8-330469

(43)公開日 平成8年(1996)12月13日

(51)Int.Cl. ⁴	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 23/12			H 0 1 L 23/12	Q
21/60	3 1 1		21/60	3 1 1 Q
			23/12	L

審査請求 未請求 請求項の数 8 O L (全 8 頁)

(21)出願番号 特願平7-130922

(22)出願日 平成7年(1995)5月30日

(71)出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72)発明者 菊地 広

東京都青梅市今井2326番地 株式会社日立

製作所デバイス開発センタ内

(72)発明者 佐藤 俊彦

東京都青梅市今井2326番地 株式会社日立

製作所デバイス開発センタ内

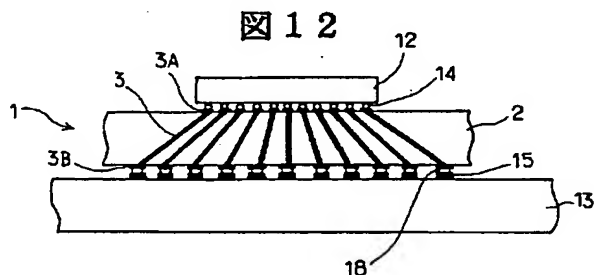
(74)代理人 弁理士 秋田 収喜

(54)【発明の名称】 半導体装置用配線基板およびその製造方法

(57)【要約】 (修正有)

【目的】 半導体チップに微小ピッチで形成した複数の電極を外部に引き出す場合、各電極を正確に対応した導電端子に接続することが可能な技術を提供する。

【構成】 一主面に形成する導電端子3Aのピッチよりも大きいピッチで導電端子3Bを他主面に形成した配線基板1を用意する。この大きなピッチの導電端子3Bを実装基板13の対応した導電端子15に接続して半導体チップ12を実装する。これによって、半導体チップ12に微小ピッチで形成した複数の電極14を外部に引き出す場合、拡大したピッチで引き出せるため、各電極14を正確に対応した導電端子15に接続することが可能となる。



【特許請求の範囲】

【請求項 1】 一主面に所定のピッチで複数の電極が配置された半導体チップを支持するための半導体装置用配線基板であって、前記半導体チップの一主面に対応する一主面に前記複数の電極の配置ピッチとほぼ等しいピッチで複数の導電端子が形成されるとともに、前記一主面と反対側の他主面に前記複数の導電端子と導通しかつ所定のピッチで複数の導電端子が形成された絶縁基板からなることを特徴とする半導体装置用配線基板。

【請求項 2】 前記絶縁基板は、弾力性を有する材料からなることを特徴とする請求項 1 に記載の半導体装置用配線基板。

【請求項 3】 前記所定のピッチは、前記複数の電極の配置ピッチよりも大きいピッチであることを特徴とする請求項 1 または 2 に記載の半導体装置用配線基板。

【請求項 4】 前記一主面に形成された導電端子と前記他主面に形成された導電端子は、絶縁基板の内部に形成された導電層を通じて導通していることを特徴とする請求項 1 乃至 3 のいずれか 1 項に記載の半導体装置用配線基板。

【請求項 5】 前記一主面の複数の導電端子が半導体チップの対応した複数の電極に接続されるとともに、前記他主面の複数の導電端子が実装基板の対応した導電端子に接続されることを特徴とする請求項 1 乃至 4 のいずれか 1 項に記載の半導体装置用配線基板。

【請求項 6】 前記一主面の複数の導電端子が半導体チップの対応した複数の電極に仮付けされるとともに、前記他主面の複数の導電端子が検査用基板の対応した導電端子に仮付けされることを特徴とする請求項 1 乃至 4 のいずれか 1 項に記載の半導体装置用配線基板。

【請求項 7】 互いに等しいピッチで複数の貫通孔が形成された一対のマスク板を前記貫通孔の位置が一致するように重ねる工程と、前記一対のマスク板の各対応する貫通孔に導電性ワイヤを挿通する工程と、前記一対のマスク板を導電性ワイヤを緊張させたままで引き離す工程と、前記一対のマスク板間の導電性ワイヤを結束する工程と、少なくとも前記一対のマスク板間の導電性ワイヤを絶縁体に埋設する工程と、前記導電性ワイヤを埋設した絶縁体を導電性ワイヤを横切るように所定の幅で切断する工程とを含むことを特徴とする半導体装置用配線基板の製造方法。

【請求項 8】 互いに異なるピッチで複数の貫通孔が形成された一対のマスク板を平行に配置する工程と、前記一対のマスク板の各対応する貫通孔に導電性ワイヤを挿通する工程と、前記一対のマスク板を導電性ワイヤを緊張させたままで少なくとも前記一対のマスク板間の導電性ワイヤを絶縁体に埋設する工程と、前記導電性ワイヤを埋設した絶縁体を導電性ワイヤを横切るように所定の幅で切断する工程とを含むことを特徴とする半導体装置用配線基板の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、半導体装置用配線基板およびその製造方法に関し、特に、半導体チップの一主面に微小ピッチで配置された複数の電極を、拡大したピッチで外部に引き出したい場合に適用して有効な技術に関するものである。

【0002】

【従来の技術】 LSI で代表される最近の半導体装置は、ますます多機能化の要求が高まってきており、これに伴いより一層高集積化が図られる傾向にある。従って、半導体チップに形成される電極の数は飛躍的に増加しつつある。

【0003】 このように複数の電極を形成した半導体チップを実装基板に実装する場合、半導体チップの全面に多数のボール状の電極（以下、バンパと称する）を微小ピッチで形成して、このバンパを実装基板に接続するようにした、CCB (Controlled Collapse Bonding) が好んで採用されている。

【0004】 すなわち、半導体チップの一主面に微小ピッチで形成された複数のバンパは、バンパに対応して絶縁基板からなる実装基板に形成された複数の導電端子（導電パターン）に接続されることにより、半導体チップはフリップチップ法によって実装基板にフェースダウンボンディングされる。

【0005】 このように高集積化された半導体チップに微小ピッチで形成した複数のバンパを外側の回路である実装基板に電気的に引き出す場合、実装基板としては、配線が絶縁基板内に多層にわたって形成された多層実装基板が使用されることが多い。この多層実装基板の材料としては、次のような特長を備えたセラミックスが一般に利用される。

【0006】 ■半導体チップと実装基板の熱膨張率を比較的近似させることができるので、チップボンディングにおいてバンパに加わる応力を減らすことができ、バンパの剥がれを軽減することができる。

【0007】 ■ガラスエポキシなどに比べて製造公差の小さい実装基板を製造できるので、バンパ接続用の導電パターンを作り易い。

【0008】 ■その実装基板に薄膜配線をつくることで、さらに精度の高いバンパ接続用の導電パターンを作ることができる。

【0009】 ■多層配線を作り易いので、実装基板内で信号線の引き回し、電源の分配などができる。

【0010】 ■耐熱性、機密性、機械的強度などに優れた実装基板を製造できる。

【0011】 例えば日経BP社発行、「VLSI パッケージング技術（上）」、1993年5月31日発行、P54～P61には、半導体チップを各種実装基板に支持させるパッケージング技術に関して詳細に記載されてい

る。

【0012】また、半導体チップを実装基板に実装するに当たっては、予め、半導体チップの良品、不良品を検査することが行われ、このため半導体チップはセラミックスなどの検査用基板に仮付けされて、検査終了後に取り外される。そして、良品のみが実装基板にボンディングされることになる。

【0013】さらに、半導体チップのバンパに直接に検査用プローブを接触させて、検査を行う場合もある。しかし、この場合は、多数のバンパが微細ピッチで半導体チップの全面に配置されているために、各バンパに正確に検査用プローブを接触させるのは困難である。

【0014】

【発明が解決しようとする課題】前記のように半導体チップを実装基板に実装するには、実装基板として優れた条件を備えているセラミックスを利用することが多くなっているが、このセラミックスは高価なので、コストアップが避けられないという問題がある。

【0015】また、一主面に微小ピッチで形成された複数のバンパを、対応した導電端子に接続することによって半導体チップを実装基板に実装するので、各バンパを正確に対応した導電端子に接続するのが困難になる。これは、半導体チップの検査を行うために検査用基板に仮付けする場合も同様である。

【0016】本発明の目的は、半導体チップに微小ピッチで形成した複数の電極を外部に引き出す場合、コストダウンを図ることが可能な技術を提供することにある。

【0017】本発明の他の目的は、半導体チップに微小ピッチで形成した複数の電極を外部に引き出す場合、各電極を正確に対応した導電端子に接続することが可能な技術を提供することにある。

【0018】本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【0019】

【課題を解決するための手段】本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば下記の通りである。

【0020】(1) 本発明の半導体装置用配線基板は、一主面に所定のピッチで複数の電極が配置された半導体チップを支持するための半導体装置用配線基板であって、前記半導体チップの一主面に対応する一主面に前記複数の電極の配置ピッチとほぼ等しいピッチで複数の導電端子が形成されるとともに、前記一主面と反対側の他主面に前記複数の導電端子と導通しかつ所定のピッチで複数の導電端子が形成された絶縁基板からなる。絶縁基板としては例えば弾力性を有する材料を用いる。

【0021】(2) 本発明の半導体装置用配線基板の製造方法は、互いに等しいピッチで複数の貫通孔が形成された一対のマスク板を前記貫通孔の位置が一致するよう

に重ねる工程と、前記一対のマスク板の各対応する貫通孔に導電性ワイヤを挿通する工程と、前記一対のマスク板を導電性ワイヤを緊張させたままで引き離す工程と、前記一対のマスク板間の導電性ワイヤを結束する工程と、少なくとも前記一対のマスク板間の導電性ワイヤを絶縁体に埋設する工程と、前記導電性ワイヤを埋設した絶縁体を導電性ワイヤを横切るように所定の幅で切断する工程とを含んでいる。

【0022】(3) 本発明の他の半導体装置用配線基板の製造方法は、互いに異なるピッチで複数の貫通孔が形成された一対のマスク板を平行に配置する工程と、前記一対のマスク板の各対応する貫通孔に導電性ワイヤを挿通する工程と、前記一対のマスク板を導電性ワイヤを緊張させたままで少なくとも前記一対のマスク板間の導電性ワイヤを絶縁体に埋設する工程と、前記導電性ワイヤを埋設した絶縁体を導電性ワイヤを横切るように所定の幅で切断する工程とを含んでいる。

【0023】

【作用】上述した(1)の手段によれば、本発明の半導体装置用配線基板は、一主面に所定のピッチで複数の電極が配置された半導体チップを支持するための半導体装置用配線基板であって、前記半導体チップの一主面に対応する一主面に前記複数の電極の配置ピッチとほぼ等しいピッチで複数の導電端子が形成されるとともに、前記一主面と反対側の他主面に前記複数の導電端子と導通しかつ所定のピッチで複数の導電端子が形成された例えば弾力性を有する絶縁基板からなるので、半導体チップに微小ピッチで形成した複数の電極を外部に引き出す場合、コストダウンを図ることが可能となり、また、各電極を正確に対応した導電端子に接続することが可能となる。

【0024】上述した(2)の手段によれば、本発明の半導体装置用配線基板の製造方法は、互いに等しいピッチで複数の貫通孔が形成された一対のマスク板を前記貫通孔の位置が一致するように重ねる工程と、前記一対のマスク板の各対応する貫通孔に導電性ワイヤを挿通する工程と、前記一対のマスク板を導電性ワイヤを緊張させたままで引き離す工程と、前記一対のマスク板間の導電性ワイヤを結束する工程と、少なくとも前記一対のマスク板間の導電性ワイヤを絶縁体に埋設する工程と、前記導電性ワイヤを埋設した絶縁体を導電性ワイヤを横切るように所定の幅で切断する工程とを含んでいるので、半導体チップに微小ピッチで形成した複数の電極を外部に引き出す場合、コストダウンを図ることが可能となり、また、各電極を正確に対応した導電端子に接続することが可能となる。

【0025】上述した(3)の手段によれば、本発明の他の半導体装置用配線基板の製造方法は、互いに異なるピッチで複数の貫通孔が形成された一対のマスク板を平行に配置する工程と、前記一対のマスク板の各対応する

貫通孔に導電性ワイヤを挿通する工程と、前記一対のマスク板を導電性ワイヤを緊張させたままで少なくとも前記一対のマスク板間の導電性ワイヤを絶縁体に埋設する工程と、前記導電性ワイヤを埋設した絶縁体を導電性ワイヤを横切るように所定の幅で切断する工程とを含んでいるので、半導体チップに微小ピッチで形成した複数の電極を外部に引き出す場合、コストダウンを図ることが可能となり、また、各電極を正確に対応した導電端子に接続することが可能となる。

【0026】以下、本発明について、図面を参照して実施例とともに詳細に説明する。

【0027】なお、実施例を説明するための全図において、同一機能を有するものは同一符号を付け、その繰り返しの説明は省略する。

【0028】

【実施例】

(実施例1) 図1は本発明の実施例1による半導体装置用配線基板を示す平面図で、図2は図1のA-A断面図である。本実施例の半導体装置用配線基板1は、例えばシリコーンゴムのような弾力性を有する絶縁基板2からなり、その内部には例えばCu、Auのような複数の導電層3が厚さ方向に対して傾斜して形成されていて、絶縁基板2の一主面および他主面には各導電層3の導電端子3Aおよび3Bが形成されている。あるいは、絶縁基板2は各種樹脂やガラスエポキシのような比較的固い材料を利用することもできる。これらシリコーンゴム、各種樹脂、ガラスエポキシのような絶縁基板は、従来広く利用されているセラミックスに比較してかなり安価である。

【0029】絶縁基板2の一主面の導電端子3Aは後述のように、この配線基板1によって支持されるべき半導体チップに形成されている複数の電極の配置ピッチとほぼ等しいピッチで形成されている。一方、絶縁基板2の他主面の前記導電端子3Aと導通する導電端子3Bは、導電端子3Aの配置ピッチよりも大きいピッチとなるように形成されている。これにより、半導体チップに微小ピッチで形成されている複数の電極を外部に電気的に引き出す場合、拡大したピッチで外部に引き出すことが可能となる。

【0030】絶縁基板2の一主面および他主面に形成される各導電層3の導電端子3Aおよび3Bは、Ni、Auのようなメタライズ層によって構成されている。このメタライズ層は後述のように、半導体チップの電極であるバンズが濡れ易い材料が選ばれる。

【0031】次に、図3乃至図7を参照して本実施例の半導体装置用配線基板の製造方法を工程順に説明する。

【0032】まず、図3に示すように、例えば金属、ガラスのような材料からなる一対のマスク板5を用意し、各マスク板5には予め互いに等しいピッチで複数の貫通孔6を形成しておくものとする。

【0033】次に、図4に示すように、一対のマスク板5を対応する各貫通孔6の位置が一致するように重ねた後、各貫通孔6に例えばCu、Auのような複数の導電性ワイヤ7を挿通する。この導電性ワイヤ7は後程、前記のような導電層3として利用される。

【0034】続いて、図5に示すように、各貫通孔6に挿通した各導電性ワイヤ7を緊張させたままで、一対のマスク板5を平行に引き離して、両者間に空間領域8を形成する。各マスク板5の各貫通孔6が等しいピッチで形成されていることにより、各導電性ワイヤ7は平行に張られる。

【0035】次に、図6に示すように、空間領域8の複数の導電性ワイヤ7を周囲から別のワイヤ9により縛って、一点に結束させる。これにより、各導電性ワイヤ7は一点から周囲に放射状に張られた状態となる。続いて、一対のマスク板5、導電性ワイヤ7の周囲から、例えばエポキシ樹脂のような絶縁体10を流動状態で供給して硬化させることにより、各マスク板5および導電性ワイヤ7を絶縁体10内に埋設する。

【0036】次に、図6で破線で示すように、一対のマスク板5間を絶縁体10を一対のマスク板5にはほぼ平行で各導電性ワイヤ7を横切るように所定の幅cで切断することにより、図7に示すように、所定の厚さcを有する絶縁基板2が得られる。この絶縁基板2内には複数の導電層3が配線されて、絶縁基板2の一主面および他主面には各々端部が露出されている。

【0037】続いて、導電層3の各端部に対して例えばNi、Auのようなメタライズ層をめっきなどによって形成することにより、各導電端子3A、3Bが形成されて、図1および図2に示すような構造の配線基板1が得られる。

【0038】このようにして形成された配線基板1においては、図5および図7に示したように、一対のマスク板5の間隔aおよび最側端の導電性ワイヤ7の間隔bを調整することにより、あるいは厚さcを調整することにより、一主面における導電端子3Aのピッチと、他主面における導電端子3Bのピッチの比率、いわゆる収束率を変えることができる。

【0039】次に、図8乃至図11を参照して本実施例の配線基板の他の製造方法を工程順に説明する。

【0040】まず、図8に示すように、例えば金属、ガラスのような材料からなる一対のマスク板5を用意して、空間領域9を介して平行に配置する。各マスク板5には予め互いに異なるピッチで複数の貫通孔6を形成しておくものとする。

【0041】次に、図9に示すように、一対のマスク板5の対応する各貫通孔6に例えばCu、Auのような複数の導電性ワイヤ7を挿通する。各マスク板5の各貫通孔6が異なるピッチで形成されていることにより、各導電性ワイヤ7は傾斜して張られる。この導電性ワイヤ7

は後程、前記のような導電層 3 として利用される。

【0042】続いて、図 10 に示すように、各貫通孔 6 に挿通した各導電性ワイヤ 7 を緊張させたままで、一对のマスク板 5、導電性ワイヤ 7 の周囲から、例えばエポキシ樹脂のような絶縁体 10 を流動状態で供給して硬化させることにより、各マスク板 5 および導電性ワイヤ 7 を絶縁体 10 内に埋設する。

【0043】次に、図 10 で破線で示すように、一对のマスク板 5 間の絶縁体 10 を一对のマスク板 5 にほぼ平行で各導電性ワイヤ 7 を横切るように所定の幅 c で切断することにより、図 11 に示すように、所定の厚さ c を有する絶縁基板 2 が得られる。この絶縁基板 2 内には複数の導電層 3 が配線されて、絶縁基板 2 の一主面および他主面には各々端部が露出されている。

【0044】続いて、導電層 3 の各端部に対して例えば Ni、Au のようなメタライズ層をめっきなどによって形成することにより、各導電端子 3A、3B が形成されて、図 1 および図 2 に示すような構造の配線基板 1 が得られる。

【0045】このようにして形成された配線基板 1 においては、図 8 に示したように、一对のマスク板 5 の間隔 a あるいは厚さ c を調整することにより、収束率を変えることができる。

【0046】図 12 は本実施例による配線基板 1 の使用例を示す断面図である。配線基板 1 は、LSI からなる半導体チップ 12 と実装基板 13 との間に配置される。半導体チップ 12 の一主面には、例えばはんだ (Pb-Sn 合金) のようなバンプからなる複数の電極 14 が微小ピッチで配置されている。一方、実装基板 13 の一主面には、複数の導電端子 15 がその電極 14 の配置ピッチよりも大きいピッチで配置されている。この導電端子 15 は配線基板 1 の導電端子 3A、3B と同様に Ni、Au のようなメタライズ層で構成されている。

【0047】配線基板 1 の一主面の半導体チップ 12 の複数の電極 14 の配置ピッチとほぼ等しいピッチの複数の導電端子 3A には、各々対応する半導体チップ 12 の電極 14 が接続されている。一方、配線基板 1 の他主面のその電極 14 の配置ピッチよりも大きいピッチである複数の導電端子 3B には、各々対応する実装基板 13 の導電端子 15 がはんだ 18 により接続されている。

【0048】一例として、約 $10\text{mm} \times 10\text{mm}$ の面積の半導体チップ 12 の一主面には、直径約 $0.15 \sim 0.2\text{mm}$ の複数の電極 14 が約 0.3mm のピッチで形成されており、厚さ約 $1 \sim 2\text{mm}$ の配線基板 1 の内部には直径約 $0.05 \sim 0.15\text{mm}$ の複数の導電層 3 が形成されている。配線基板 1 の一主面の複数の導電端子 3A は約 0.3mm のピッチで形成され、他主面の複数の導電端子 3B はその値 0.3mm よりも大きく形成され、この値は収束率によって決定される。

【0049】図 13 は本実施例による配線基板 1 の他の

使用例を示す断面図である。配線基板 1 は、LSI からなる半導体チップ 12 と検査用基板 16 との間に配置される。半導体チップ 12 の一主面には、例えばはんだ

(Pb-Sn 合金) のようなバンプからなる複数の電極 14 が微小ピッチで配置されているとともに、検査用基板 16 の一主面には、複数の導電端子 17 がその電極 14 の配置ピッチよりも大きいピッチで配置されている。この導電端子 17 は配線基板 1 の導電端子 3A、3B と同様に Ni、Au のようなメタライズ層で構成されている。

【0050】配線基板 1 の一主面の半導体チップ 12 の複数の電極 14 の配置ピッチとほぼ等しいピッチの複数の導電端子 3A には、各々対応する半導体チップ 12 の電極 14 が仮付けされる。一方、配線基板 1 の他主面のその電極 14 の配置ピッチよりも大きいピッチである複数の導電端子 3B には、各々対応する実装基板 16 の導電端子 17 がはんだ 18 により仮付けされる。

【0051】検査用基板 16 の導電端子 17 と導通する測定端子 (図示せず) には、検査装置が接続されて、半導体チップ 12 の良品、不良品の検査が行われる。検査終了後、配線基板 1 は半導体チップ 12 および検査用基板 16 との仮付け部から取外される。そして、半導体チップ 12 は良品のみが、図 12 に示したように実装基板 13 に実装される。

【0052】このような本実施例によれば次のような効果が得られる。

【0053】(1) 高価なセラミックスを利用することなく、安価な材料で配線基板 1 を構成できるので、半導体チップ 12 に微小ピッチで形成した複数の電極 14 を外部に引き出す場合、コストダウンを図ることが可能となる。

【0054】(2) 一主面に形成する導電端子 3A のピッチよりも大きいピッチで導電端子 3B を他主面に形成した配線基板 1 を用意して、この大きなピッチの導電端子 3B を実装基板 13 の対応した導電端子 15 に接続して半導体チップ 12 を実装するので、半導体チップ 12 に微小ピッチで形成した複数の電極 14 を外部に引き出す場合、拡大したピッチで引き出せるため、各電極 14 を正確に対応した導電端子 15 に接続することが可能となる。

【0055】(3) 弾力性を有する材料で配線基板 1 を構成できるので、チップボンディングにおいてバンプのような電極 14 に加わる応力を減らすことができる。

【0056】(4) 一主面に形成する導電端子 3A のピッチよりも大きいピッチで導電端子 3B を他主面に形成した配線基板 1 を用意して、この大きなピッチの導電端子 3B を検査用基板 16 の対応した導電端子 17 に仮付けして半導体チップ 12 を検査するので、複数の電極 14 を外部に拡大したピッチで引き出せるため、正確な検査を容易に行うことが可能となる。

【0057】(5) 特別な工程を経ることなく、簡単な工程で、微小ピッチの電極 14 を外部に拡大して取り出せる配線基板 1 を製造することができる。

【0058】(実施例 2) 図 14 は本発明の実施例 2 による半導体装置用配線基板を示す断面図で、実施例 1 の配線基板 1 において、特に他主面の導電端子 3 B を短リード 19 の形に形成した例を示すものである。

【0059】このような実施例 2 によっても、一主面に形成する導電端子 3 A のピッチよりも大きいピッチで導電端子 3 B を他主面に形成しているので、実施例 1 と同様な効果を得ることができる。また、これに加えて、他主面の導電端子 3 B を短リード 19 の形に形成したことにより、実装基板 13 あるいは検査用基板 16 の対応した導電端子に接続する場合、はんだの広がりを抑えることができるため、比較的複雑なパターンの導電端子に対しても正確な接続が可能となる効果を得ることができる。

【0060】(実施例 3) 図 15 は本発明の実施例 3 による半導体装置用配線基板を示す断面図で、一主面の導電端子 3 A のピッチと他主面の導電端子 3 B のピッチをほぼ等しく形成して、他主面の導電端子 3 B のみを周囲方向に広げて形成した配線基板 1 を示すものである。

【0061】このような実施例 3 によっても、配線基板 1 の他主面の導電端子 3 B が周囲方向に広げて形成してあるので、実装基板 13 あるいは検査用基板 16 の対応した導電端子に接続する場合、接続が容易になるため、実施例 1 に準じた効果を得ることができる。

【0062】(実施例 4) 図 16 は本発明の実施例 4 による半導体装置用配線基板を示す断面図で、必要に応じて一主面あるいは他主面の導電端子 3 A、3 B の隣接したものと同士を短絡するように形成した配線基板 1 を示すものである。

【0063】このような実施例 4 によっても、必要に応じて配線基板 1 の一主面あるいは他主面の導電端子 3 A、3 B の隣接したものと同士を短絡するようにしてあるので、実装基板 13 あるいは検査用基板 16 の対応した導電端子に接続する場合、比較的複雑なパターンの導電端子は迂回することができるため、接続が容易になるので、実施例 1 に準じた効果を得ることができる。

【0064】以上、本発明者によってなされた発明を、前記実施例に基づき具体的に説明したが、本発明は、前記実施例に限定されるものではなく、その要旨を逸脱しない範囲において種々変更可能であることは勿論である。

【0065】例えば、前記実施例では配線基板の材料としては特定のものに例をあげて説明したが、同等の機能を有するものであれば、それに限らず他の材料を利用するようにしても良い。

【0066】また、配線基板に接続すべき半導体チップとしては、パンプ電極を有する例で説明したが、これに

限らず微小ピッチで電極が形成されている半導体チップであれば、同様に適用することができる。

【0067】さらに、実施例中で配線基板に形成する導電層の数は一例を示したものであり、同様にして、実施例中で示した構成部分の寸法は一例を示したものであり、これらは目的、用途等に応じて任意に選択することができる。

【0068】なお、図 2 に示した実施例 1 による半導体装置用配線基板は、図 17 に示したように導電端子 3 A、3 B を省略するようにしても良い。

【0069】以上の説明では主として本発明者によってなされた発明をその背景となった利用分野である半導体集積回路装置の技術に適用した場合について説明したが、それに限定されるものではない。本発明は、少なくとも半導体チップの一主面に微小ピッチで配置された複数の電極を、拡大したピッチで外部に引き出す条件のものには適用できる。

【0070】

【発明の効果】本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば、下記の通りである。

【0071】(1) 高価なセラミックスを利用することなく、安価な材料で配線基板を構成できるので、半導体チップに微小ピッチで形成した複数の電極を外部に引き出す場合、コストダウンを図ることが可能となる。

【0072】(2) 一主面に形成する導電端子のピッチよりも大きいピッチで導電端子を他主面に形成した配線基板を用意して、この大きなピッチの導電端子を実装基板の対応した導電端子に接続して半導体チップを実装するので、半導体チップに微小ピッチで形成した複数の電極を外部に引き出す場合、拡大したピッチで引き出せるため、各電極を正確に対応した導電端子に接続することが可能となる。

【図面の簡単な説明】

【図 1】本発明の実施例 1 による半導体装置用配線基板を示す平面図である。

【図 2】図 1 の A-A 断面図である。

【図 3】本発明の実施例 1 による半導体装置用配線基板の製造方法の一工程を示す斜視図である。

【図 4】本発明の実施例 1 による半導体装置用配線基板の製造方法の他の工程を示す断面図である。

【図 5】本発明の実施例 1 による半導体装置用配線基板の製造方法のその他の工程を示す断面図である。

【図 6】本発明の実施例 1 による半導体装置用配線基板の製造方法のその他の工程を示す断面図である。

【図 7】本発明の実施例 1 による半導体装置用配線基板の製造方法のその他の工程を示す断面図である。

【図 8】本発明の実施例 1 による半導体装置用配線基板の他の製造方法の一工程を示す断面図である。

【図 9】本発明の実施例 1 による半導体装置用配線基板

の他の製造方法の他の工程を示す断面図である。

【図 10】本発明の実施例 1 による半導体装置用配線基板の他の製造方法のその他の工程を示す断面図である。

【図 11】本発明の実施例 1 による半導体装置用配線基板の他の製造方法のその他の工程を示す断面図である。

【図 12】本発明の実施例 1 による半導体装置用配線基板の使用例を示す断面図である。

【図 13】本発明の実施例 1 による半導体装置用配線基板の他の使用例を示す断面図である。

【図 14】本発明の実施例 2 による半導体装置用配線基板を示す断面図である。

【図 15】本発明の実施例 3 による半導体装置用配線基板を示す断面図である。

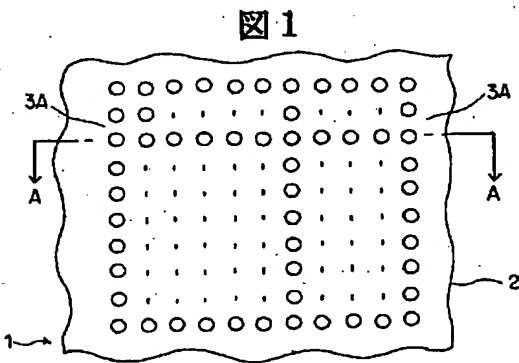
【図 16】本発明の実施例 4 による半導体装置用配線基板を示す断面図である。

【図 17】本発明の実施例 1 による半導体装置用配線基板の変形例を示す断面図である。

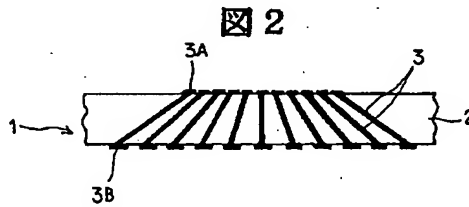
05 【符号の説明】

1…半導体装置用配線基板、2…絶縁基板、3…導電層、3A…一主面の導電端子、3B…他主面の導電端子、5…マスク板、6…貫通孔、7…導電性ワイヤ、8…空間領域、9…別のワイヤ、10…絶縁体、12…半導体チップ、13…実装基板、14…半導体チップの電極、15…実装基板の導電端子、16…検査用基板、17…検査用基板の端子、18…はんだ、19…短リード。

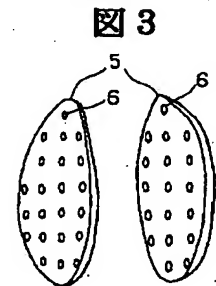
【図 1】



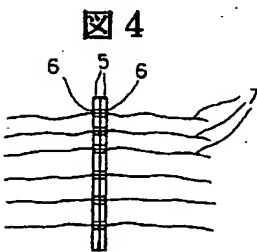
【図 2】



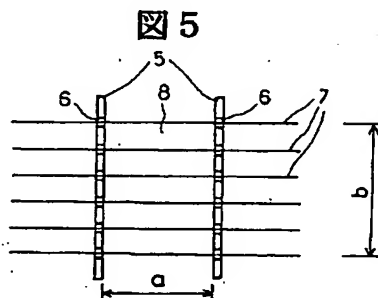
【図 3】



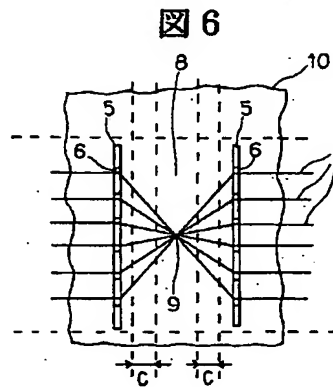
【図 4】



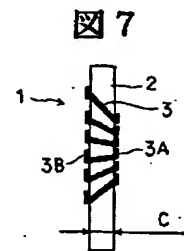
【図 5】



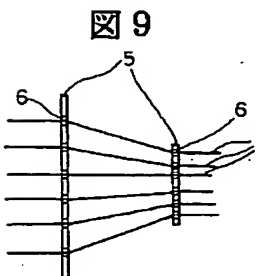
【図 6】



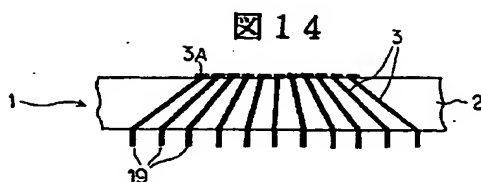
【図 7】



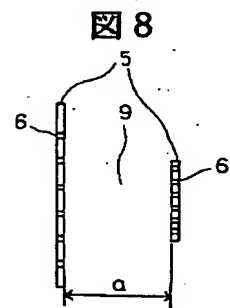
【図 9】



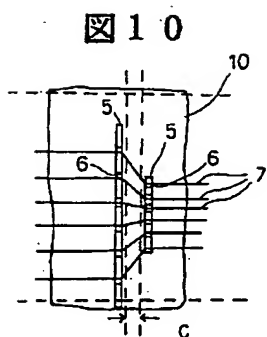
【図 14】



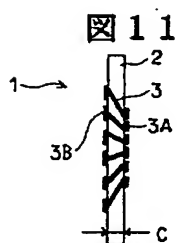
【図 8】



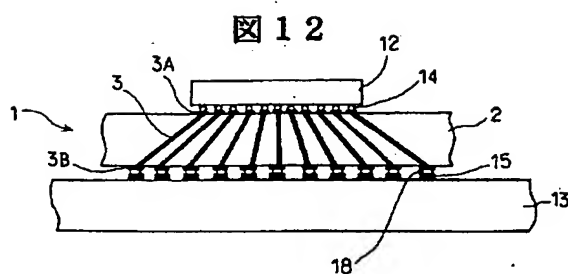
【図10】



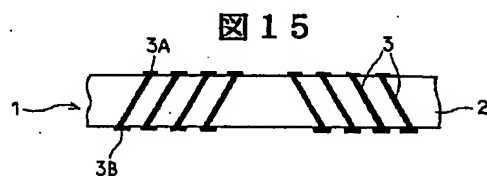
【図11】



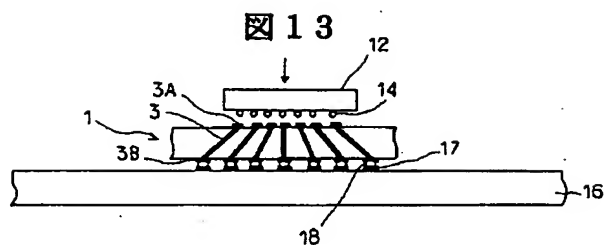
【図12】



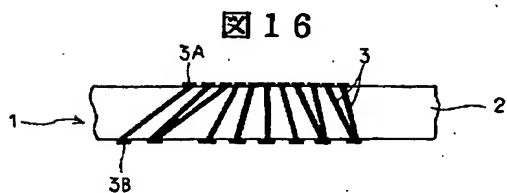
【図15】



【図13】



【図16】



【図17】



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☒ FADED TEXT OR DRAWING
- ☒ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☒ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.